

C20201129\_01\_DARPA

PIPES 光インタコネクでデジタルマイクロエレクトロニクス改善

研究者は、リンク距離と効率で大きな改善を達成するために、従来の電気 I/O を光シグナリングインタフェースで置き替える。



Package for Extreme Scalability (PIPES)プログラムにおける米国国防総省国防高等研究事業局(DARPA)のフォトニクスで、インテルと Ayar Labs の研究者は、フォトンによるチップ接続改善に向けて初期の進捗を実証した。光ファイバで信号伝達することで、今日のインターネットと光トランシーバは、データセンタの至る所に存在するようになるが、デジタルシステムは依然として、金属配線による電子の動きに依存してボードの ICs 間ではデータのやり取りをしている。

チップパッケージからの電気の信号伝達の限界が、帯域と信号伝達効率全体をますます制約し、先進的システムの性能を抑制している。PIPES プログラムは、こうした制約に対処し、新たな性能レベルでデジタルマイクロエレクトロニクスを可能にする光コンポーネントの利用を拡大する道を探求している。

PIPES に取り組んでいる Intel と Ayar Labs の研究者は、従来の先進的 FPGA I/O を効率的な光信号伝達インタフェースで置き換えることに成功した。デモンストレーションは、Ayar Labs が開発した TeraPHY 光インタフェース、光 I/O チップセットを利用している。これは電気の SERDES チップセットを置き換えるものである。これら SERDES チップセットは従来、高速データ転送が必要な時に、制約のある I/O を補完するもので、これにより高速通信および他の機能を可能にしている。Intel の先進的パッケージングとインタコネク技術を使い研究チームは、TeraPHY と Intel FPGA コアをシングルパッケージに統合し、インパッケージオプティクスでマルチチップモジュール(MCM)を実現した。その集積ソリューションは、インタコネク距離、効率、遅延

を著しく改善し、FPGA から直接出るシングルモード光ファイバ(SMF)で高速データリンクを可能にしている。GlobalFoundries の先端フォトリソプロセスで製造され、このデモンストレーションで使用されたコパッケージ TeraPHY チップセットは、I/O 帯域 2Tbps を従来の電気 I/O と比べてほんのわずかな電力で可能にしている。

「この初期の PIPES プログラムデモンストレーションは、光信号伝達の利点を利用する強力なシステムを可能にする方向への大きな一歩である」と DARPA プログラムマネージャ、PIPES リーダー、Dr. Gordon Keeler はコメントしている。「プログラムの重要目標は、1 ピコジュール/bit(pJ/bit)以下のエネルギーで、パッケージあたり 100Tbps 以上の I/O で動作する光インタフェースを備えた最先端の ICs を開発することである。フォトリソインタフェースを持つ FPGAs は、大きなインパクトを与え、ハイパフォーマンスコンピューティング(HPC)、人工知能(AI)、大規模エミュレーション、また先進的レーダーなどDOD 特化機能を改善する。このデモンストレーションで、Intel チームは、われわれの目標に向けて手堅い前進を示した」。

デモンストレーションを遂行するために Intel と Ayar Labs の研究者は、他の 2 つの DARPA プログラムで達成した技術進歩を活用した。POEM(光最適化内蔵マイクロプロセッサ)と CHIPS(共通ヘテロジニアス集積と IP 再利用計画)プログラムである。すでに終結している DARPA POEM プログラムは内蔵マイクロプロセッサに集積できるフォトリソ技術を開発し、シームレスで、エネルギー効率の優れた、大容量通信をマイクロプロセッサと DRAM 内/間で可能にすることを探求していた。POEM での Ayar Labs 成果は、初の TeraPHY 光 I/O チップレット実現に役立った。

研究チームは、Intel が DARPA CHIPS プログラムで開発したローパワーシグナリング標準とチップレットパッケージングプロセスも活用した。急騰するデザインコストに対処し、システムの柔軟性促進に役立つために、CHIPS は、個別モジュール、再利用可能 IP ブロックのエコシステム開発に取り組んでいる。これらは、様々な集積技術を利用してシステムに組みこむことができる。この取組で重要なことは、共通インタフェース標準の確立であった。これは、Intel が Advanced Interface Bus (AIB)により供給したものである。AIB は、公的に入手可能であり、オープンインタフェース標準。プログラムで活動している Intel や他のシリコン IP プロバイダが相互動作可能なチップレットを簡単に構築できるようにする。PIPES チームは、AIB インタフェース標準を使って、MCM とインパッケージオプティクスを組み込んだ。

PIPES 進捗に伴い、Intel チームは、引き続き集積技術の性能を前進させる。プログラムの次のフェーズを通して、全ての PIPES 研究者は、総シグナリングレートを

100Tb/s 以上にすること、様々なフォトニクス技術を成熟させること、効率、遅延、帯域密度の厳しい指標を満たすことに集中する。